

1/5/3

DIALOG(R)File 351:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

011566884 \*\*Image available\*\*

WPI Acc No: 1997-543365/199750

XPX Acc No: N97-452697



**ATM switching system in ATM communication network - in which RM cell generated in output circuit correspondence part based on congestion information is transmitted to input circuit correspondence part**

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE )

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9261245	A	19971003	JP 9672655	A	19960327	199750 B
JP 3097549	B2	20001010	JP 9672655	A	19960327	200052

Priority Applications (No Type Date): JP 9672655 A 19960327

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 9261245	A	12		H04L-012/28	
JP 3097549	B2	12		H04L-012/28	Previous Publ. patent JP 9261245

Abstract (Basic): JP 9261245 A

The system includes an input circuit correspondence part (INi) to receive the cell output from an input circuit. A switch part (10) is equipped with a waiting buffer for disturbing the cell output from the input circuit correspondence part along desired route. An output circuit correspondence part (OUTi) is set-up at every output route of the switch part. the switch part is equipped with a switch monitor for monitoring the queue length of the buffer.

The output circuit correspondence part has a reverse direction RM cell generating circuit (8) to output an RM cell based on the congestion information obtained from a congestion bit providing circuit (14). The generated RM cell is transmitted to the input circuit correspondence part, from the output circuit correspondence part.

ADVANTAGE - Control congestion in high speed core switch using simple structure. Improves communication quality.

Dwg.1/15

Title Terms: ATM; SWITCH; SYSTEM; ATM; COMMUNICATE; NETWORK; CELL; GENERATE ; OUTPUT; CIRCUIT; CORRESPOND; PART; BASED; CONGESTED; INFORMATION; TRANSMIT; INPUT; CIRCUIT; CORRESPOND; PART

Index Terms/Additional Words: CBR; VBR

Derwent Class: W01

International Patent Class (Main): H04L-012/28

International Patent Class (Additional): H04Q-003/00

File Segment: EPI

(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-261245

(43)公開日 平成9年 (1997) 10月3日

(51) Int. Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	II
H 0 4 Q 3/00		9466-5K	H 0 4 Q 3/00	
			H 0 4 L 11/20	G

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21)出願番号	特願平8-72655	(71)出願人	000004226 日本電信電話株式会社 東京都新宿区西新宿三丁目19番2号
(22)出願日	平成8年 (1996) 3月27日	(72)発明者	安川 正祥 東京都新宿区西新宿三丁目19番2号 日本 電信電話株式会社内
		(72)発明者	塩本 公平 東京都新宿区西新宿三丁目19番2号 日本 電信電話株式会社内
		(72)発明者	山中 直明 東京都新宿区西新宿三丁目19番2号 日本 電信電話株式会社内
		(74)代理人	弁理士 井出 直孝 (外1名)

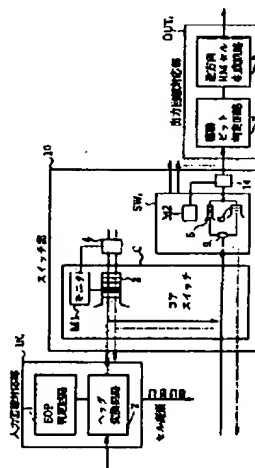
(54)【発明の名称】 A T Mスイッチ

## (57)【要約】

【課題】 A T Mスイッチ内で幅域制御を行いたいが、高速なコアスイッチでは幅域制御が困難である。

【解決手段】 高速なコアスイッチでは単純にバッファのキュー長の監視に基づく幅域検出のみを行い、コアスイッチの前後に設けられた低速な入力回線対応部および出力回線対応部で幅域制御やセル廃棄を行う。

【効果】 大規模化したコアスイッチに完全優先制御やE P D制御を適用することができる。また、スループットを向上させることができるとともに、帯域保証型のトラヒックとベストエフォート型のトラヒックが混在するA T M通信網において帯域保証型トラヒックの帯域を保証することができる。



## 【特許請求の範囲】

【請求項1】 入力回線を収容する入力回線対応部と、待ち合わせバッファを備えこの入力回線対応部の出力セルを所望の方路に振り分けるスイッチ部と、このスイッチ部の出力方路毎に設けられ出力回線が収容される出力回線対応部とを備えたATMスイッチにおいて、前記スイッチ部に前記バッファのキュー長を監視する手段を備え、

前記出力回線対応部に、この監視する手段の出力情報に基づく幅情報に基づき生成されたRMセルを生成する手段と、このRMセルを前記入力回線対応部に宛て送信する手段とを備えたことを特徴とするATMスイッチ。

【請求項2】 請求項1記載のATMスイッチが双方向に設けられ、前記出力回線対応部から前記入力回線対応部に宛てたRMセルは対向側のATMスイッチを経由して伝達されるATM通信網。

【請求項3】 前記スイッチ部は、前記入力回線対応部の出力を取込む一つのコアスイッチと、このコアスイッチの出力に複数個接続された単位スイッチとを含み、前記キュー長を監視する手段は、前記単位スイッチのバッファに蓄積されたセル数を監視する単位スイッチ・モニタと、この単位スイッチ・モニタの監視結果にしたがって出力セルに幅ビットを付与する回路とを備えた請求項1記載のATMスイッチ。

【請求項4】 前記キュー長を監視する手段は、前記コアスイッチのバッファに蓄積されたセル数を監視するコアスイッチ・モニタと、このコアスイッチ・モニタの監視結果にしたがってその出力セルに幅ビットを付与する回路とをさらに備えた請求項3記載のATMスイッチ。

【請求項5】 前記スイッチ部は、前記入力回線対応部の出力を取込む一つのコアスイッチと、このコアスイッチの出力に複数個接続された単位スイッチとを含み、前記キュー長を監視する手段は、前記単位スイッチのバッファに蓄積されたセル数を監視する単位スイッチ・モニタと、この単位スイッチ・モニタの監視結果を前記RMセルを生成する手段に伝達する回路とを備えた請求項1記載のATMスイッチ。

【請求項6】 前記キュー長を監視する手段は、前記コアスイッチのバッファに蓄積されたセル数を監視するコアスイッチ・モニタと、このコアスイッチ・モニタの監視結果を前記RMセルを生成する手段に伝達する回路とをさらに備えた請求項5記載のATMスイッチ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はATM(Asynchronous Transfer Mode:非同期転送モード)通信に利用する。本発明はATMスイッチのスループットを改善する技術に関する。本発明は帯域保証型のトラヒックとベストエ

テ帯域保証型トラヒックの帯域を保証する技術に関する。

## 【0002】

【従来の技術】 高速出力バッファ型のATMスイッチに10 入力されるトラヒックがCBR(Constant Bit Rate)およびVBR(Variable Bit Rate)トラヒックのみで、事前にユーザから申告されるトラヒック記述子を用いてスイッチ内で必要な帯域を割当て可能な環境下では、コネクションのトラヒック記述子を基に受付判定制御(CAC:Call Admission Control)を行うなどしてATMスイッチの出力ポートでトラヒック量を規制することにより帯域保証をしているので、ATMスイッチの容量が出力回線速度の合計以上あればATMスイッチ内部でのセル損を防ぐことができる。

【0003】 しかしながら、近年、品質よりも経済性を重視したサービスクラスとして、ABR(Available Bit Rate)またはUBR(Unspecified Bit Rate)などのベストエフォートクラスと呼ばれるサービスクラスが脚光を浴びてきている。これらのベストエフォートクラスのトラヒックはCBRやVBRなどのようにCACによりトラヒック量を規制したりしないので、CBRやVBRの品質を劣化させる原因となり得る。

【0004】 ABRクラスは、トラヒックの状況に応じて割当帯域が柔軟に変化するサービスクラスであり、ユーザはCBRクラスやVBRクラスの使用帯域が小さいときには大きい帯域の割当を受けることができるが、逆に、CBRクラスやVBRクラスの使用帯域が大きいときには、小さい帯域の割当しか受けることができないという制約がある。しかし、その代償として通信費は安く設定されている。この変化する帯域情報はあらかじめ送信端末に通知されるので、送信端末が通知された帯域を遵守する限りでは転送途中におけるセルの廃棄は原則としてない。

【0005】 UBRクラスは、所定の時間内のトラヒック状況にしたがって一定のセル損失率は保証されるが、ピークセル速度については必ずしも保証されない。しかし、その代償として通信費は安く設定されている。UBRクラスでは、転送途中のセル廃棄は一定の割合で発生する可能性を持っている。

【0006】 そこで通常、ATMスイッチではCBRクラスやVBRクラスを守るために、CBRクラスまたはVBRクラス用とベストエフォートクラス用とにバッファを分けて、CBRクラスまたはVBRクラス用のバッファにセルがあれば優先的にセルを転送し、ベストエフォートクラス用のバッファのセルはCBRクラスまたはVBRクラス用のバッファにセルが存在しないときだけ転送される制御が行われる。

【0007】 また、UBRクラスを使ったデータ通信の場合には、ネットワーク内においてセルが1つでも廃棄されると受信端末ではそのセルを含むバケットを無効セ

ルと判定するので、パケットを構成するセル全体の廃棄または再送を引き起こし網の実効スループットが著しく低下する問題があるので、輻輳時にはバッファに到着する新しいパケットを構成する全てのセルをバッファ入り口で強制的に廃棄するE P D (Early Packet Discard) 法が文献[A. Romanow: "Packet Discard Strategies for Controlling ATM Congestion", ATM Forum/94-0107, 1994]などで提案されている。

【0008】例えばAAL(ATM Adaptation Layer)5を用いて輻輳時にE P D制御を行うときは、AALパケットの終り(end-of-packet)を示すATM-user-to-user(AU U)パラメータを用いて、セルヘッダ中のVC識別子により各VC1毎にend-of-packet(EOP)セルと次のEOPセルの間を同一パケットとみてそのパケットが現在転送中ならそのままセルをバッファに蓄込み、転送中でなければセルをパケットの先頭セルと判定しEOPセルが到着するまでセルを廃棄する操作を行う。この廃棄手順は輻輳状態が解消されるまで繰り返し行われる。

【0009】

【発明が解決しようとする課題】ATMスイッチが2.4~10Gb/s程度の小規模のものであれば、一段のバッファでスイッチを構成できるので完全優先制御やE P D制御はハードウェア規模にそれほど大きなインパクトを与えないが、10Gb/s以上の大規模ATMスイッチになると多段スイッチ網となる。図14は従来の高速出力バッファ型多段スイッチの構成図であるが、各単位スイッチSW<sub>1</sub>~SW<sub>n</sub>の出力側で完全優先制御やE P D制御が必要となりハードウェア規模に与えるインパクトは大きくなる。

【0010】図15は多段スイッチにおける帯域保証型トラヒックのセル廃棄を示す図であるが、図15にあるように最終段の単位スイッチSW<sub>1</sub>~SW<sub>n</sub>だけで完全優先制御やE P D制御を行っただけでは、コアスイッチCのベストエフォートクラスのトラヒック量を制御しているわけではないので、コアスイッチCで帯域保証クラスが影響を受けたり、ベストエフォートクラスのパケットの途中のセルの損失などによる実効スループットの低下は避けられない。このためコアスイッチCでも完全優先制御が必要となる。

【0011】しかしながら、コアスイッチCは大きな束の単位でスイッチングを行うので高速動作が要求され、このようなところで完全優先制御やE P D制御を行うことは困難になってくる。

【0012】本発明は、このような背景に行われたものであって、大規模化したコアスイッチに完全優先制御やE P D制御を適用することができるATMスイッチを提供することを目的とする。本発明は、スループットを向上させることができるATMスイッチを提供することを目的とする。本発明は、帯域保証型のトラヒックとベストエフォート型のトラヒックが混在するATM通信網に

において帯域保証型トラヒックの帯域を保証することができるATMスイッチを提供することを目的とする。

【0013】

【課題を解決するための手段】コアスイッチのバッファのキュー長を監視し、キュー長があらかじめ設定された閾値を超えると、コアスイッチと単位スイッチ間のリンク輻輳が発生したと判断し、バッファから読出す先頭セルにリンク輻輳情報を乗せて後段に通知する。

【0014】また、単位スイッチの各々のベストエフォートクラス用のバッファのキュー長を監視し、キュー長があらかじめ設定された閾値を超えると当該出力ポートが輻輳に陥ったと判断し、単位スイッチの帯域保証クラス用のバッファまたはベストエフォートクラス用のバッファのいずれかを問わずバッファから読出す先頭セルに出力回線輻輳情報を乗せて出力回線対応部に輻輳を通知する。

【0015】出力回線対応部は輻輳を通知されるとRMセルを生成し、生成したセルを逆方向回線に乗せて全ての入力回線対応部に輻輳を通知する。輻輳の通知を受けた各々の入力回線対応部はテーブルを参照して輻輳に陥っているリンクまたは出力回線宛のパケットの先頭から末尾までを検出し、そのセルを廃棄する。

【0016】すなわち、本発明はATMスイッチであって、入力回線を収容する入力回線対応部と、待ち合わせバッファを備えこの入力回線対応部の出力セルを所望の方路に振り分けるスイッチ部と、このスイッチ部の出力方路毎に設けられ出力回線が収容される出力回線対応部とを備えたATMスイッチである。本発明の特徴とするところは、前記スイッチ部に前記バッファのキュー長を監視する手段を備え、前記出力回線対応部に、この監視する手段の出力情報に基づく輻輳情報が搭載されたRMセルを生成する手段と、このRMセルを前記入力回線対応部に宛て送信する手段とを備えたところにある。

【0017】これにより、高速のスイッチ部で発生する輻輳をその出入口にあたる低速の入力回線対応部および出力回線対応部により制御することができる。

【0018】また、このATMスイッチが双方向に設けられ、前記出力回線対応部から前記入力回線対応部に宛てたRMセルは対向側のATMスイッチを経由して伝達されることが望ましい。

【0019】前記スイッチ部は、前記入力回線対応部の出力を取込む一つのコアスイッチと、このコアスイッチの出力に複数個接続された単位スイッチとを含み、前記キュー長を監視する手段は、前記単位スイッチのバッファに蓄積されたセル数を監視する単位スイッチ・モニタと、この単位スイッチ・モニタの監視結果にしたがって出力セルに輻輳ビットを付与する回路とを備えた構成とすることがよい。

【0020】また、前記キュー長を監視する手段は、前記コアスイッチのバッファに蓄積されたセル数を監視す

るコアスイッチ・モニタと、このコアスイッチ・モニタの監視結果にしたがってその出力セルに幅値ビットを付与する回路とをさらに備えた構成とすることもできる。

【0021】あるいは、前記スイッチ部は、前記入力回線対応部の出力を取込む一つのコアスイッチと、このコアスイッチの出力に複数個接続された単位スイッチとを含み、前記キュー長を監視する手段は、前記単位スイッチのバッファに蓄積されたセル数を監視する単位スイッチ・モニタと、この単位スイッチ・モニタの監視結果を前記RMセルを生成する手段に伝達する回路とを備えた構成とすることもできる。

【0022】また、前記キュー長を監視する手段は、前記コアスイッチのバッファに蓄積されたセル数を監視するコアスイッチ・モニタと、このコアスイッチ・モニタの監視結果を前記RMセルを生成する手段に伝達する回路とをさらに備えた構成とすることもできる。

【0023】これにより、監視結果を直接RMセルを生成する手段に伝達することができるため、出力セルに幅値ビットを付与する回路を省略した構成とすることができる。

【0024】また、前記単位スイッチまたはコアスイッチのキュー長を監視する手段は、RMセルを用いずにその監視結果を直接入力回線対応部に伝達する回路を備える構成とすることもできる。

【0025】

【発明の実施の形態】

【0026】

【実施例】

（第一実施例）本発明第一実施例の構成を図1を参照して説明する。図1は本発明第一実施例のATMスイッチのブロック構成図である。

【0027】本発明はATMスイッチであって、その特徴とするところは、入力回線を収容する入力回線対応部IN<sub>i</sub>（ $i=1, 2, \dots, mN$ ）と、待ち合わせバッファ3および5、6を備えこの入力回線対応部IN<sub>i</sub>の出力セルを所望の方路に振り分けるスイッチ部10と、このスイッチ部10の出力方路毎に設けられ出力回線が収容される出力回線対応部OUT<sub>i</sub>とを備えたATMスイッチである。

【0028】ここで、本発明の特徴とするところは、スイッチ部10にバッファ3および5のキュー長を監視する手段としてのコアスイッチ・モニタM1および単位スイッチ・モニタM2を備え、出力回線対応部OUT<sub>i</sub>に、このコアスイッチ・モニタM1および単位スイッチ・モニタM2の出力情報に基づく幅値情報が搭載されたRMセルを生成する手段と、このRMセルを入力回線対応部IN<sub>i</sub>に宛て送信する手段とを逆方向RMセル生成回路8に備えたところにある。

【0029】このATMスイッチが双方向に設けられ、出力回線対応部OUT<sub>i</sub>から入力回線対応部IN<sub>i</sub>に宛

てたRMセルは対向側のATMスイッチを経由して伝達されるが、ここでは説明をわかりやすくするために片方向のみ図示した。

【0030】スイッチ部10は、入力回線対応部IN<sub>i</sub>の出力を取込む一つのコアスイッチCと、このコアスイッチCの出力に $m$ 個接続された単位スイッチSW<sub>j</sub>（ $j=1, 2, \dots, m$ ）とを含み、前述したコアスイッチ・モニタM1はコアスイッチに備えられたバッファ3のキュー長を監視し、単位スイッチ・モニタM2は単位スイッチSW<sub>j</sub>に備えられたバッファ5のキュー長を監視し、その監視結果にしたがって出力セルに幅値ビットを付与する回路としての幅値ビット付与回路4および14を備えている。

【0031】バッファ5はベストエフォートクラスのセルが蓄積されるバッファであり、バッファ6は帯域保証クラスのセルが蓄積されるバッファである。幅値監視はベストエフォートクラスのセルが蓄積されるバッファ5のみで行われる。その監視結果は、バッファ5または6のいずれのバッファから出力されたセルであっても幅値ビット付与回路14により幅値ビットが付与されることにより出力回線対応部OUT<sub>i</sub>の幅値ビット判定回路7に通知される。

【0032】本発明第一実施例のATMスイッチのスイッチング動作を図2を参照して説明する。図2はヘッダ変換テーブルを説明するための図である。ユーザから送出されたセルがATMスイッチの入力回線対応部IN<sub>i</sub>に到着すると、ヘッダ変換回路2がセルのヘッダに書込まれたVPI/VCI値に基づいて図2に示したヘッダ変換テーブルを検索し、VPI/VCI値を変換してセルヘッダに変換後のVPI/VCI値とルーティングタグビットなどのルーティング情報を書込む。同時に、ヘッダ変換回路2は図2のヘッダ変換テーブルにあるように、このテーブル検索時にセルのサービスカテゴリが帯域保証型か、ベストエフォート型かを判定し、それぞれのセルのセルヘッダ部分のサービスカテゴリフィールドにサービスカテゴリ識別子を書込む。その後、セルはセルヘッダに書込まれたルーティングビットを基にしてコアスイッチCと単位スイッチSW<sub>j</sub>でスイッチングされ目的出力ポートに送出され、その出力段でセクタ9によりセルヘッダのサービスカテゴリ識別子に基づき帯域保証クラス用のバッファ6とベストエフォートクラス用のバッファ5に別々に格納されて、バッファ6に格納されたセルが優先的に伝送路に転送される。

【0033】次に、本発明第一実施例のATMスイッチの幅値制御について説明する。本発明第一実施例のATMスイッチはベストエフォート型のトラヒックが過剰に流入した場合に幅値ポイントになり得るコアスイッチCのバッファ3と単位スイッチSW<sub>j</sub>のバッファ5および6での幅値回避機能を備えている。図3は幅値ポイントを示す図である。

【0034】次に、本発明第一実施例のコアスイッチCのバッファ3の輻輳回避制御について説明する。コアスイッチCのバッファ3での輻輳制御フローを図4に示す。スイッチ内セルヘッダ情報の構成を図5に示す。RMセルの構成を図6に示す。図7に輻輳管理テーブルを示す。図8にパケット管理テーブルを示す。コアスイッチCに流入するベストエフォート型のトラヒックが増えてそのトラヒックがある特定の単位スイッチSW<sub>i</sub>に收容される出回線を目指すコアスイッチCと単位スイッチSW<sub>i</sub>間のリンクが輻輳に陥る。

【0035】バッファ3に備えられたモニタM1はキュー長を絶えず観測して(S1)、観測したキュー長があらかじめ設定された閾値 $\alpha$ を超えたら(S2)、当該バッファ3でセル廃棄の可能性有り判断し、図5にあるようにバッファ3の先頭にあるセルのセルヘッダのリンク輻輳通知フィールドに当該リンクの輻輳情報をセットし(S3)、後段の単位スイッチSW<sub>j</sub>にセルを送出する。単位スイッチSW<sub>j</sub>でスイッチングされたセルはさらに出力回線対応部OUT<sub>j</sub>に送出されて輻輳ビット判定回路7がリンク輻輳通知フィールドに書込まれた情報によりリンク輻輳を検出すると(S4)、逆方向RMセル生成回路8が図6に示すようにRMセルのリンク情報フィールドに輻輳リンク番号を書込み、逆方向の回線にRMセルを載せて全ての入力側回線対応部IN<sub>i</sub>にリンク輻輳情報を送出する(S5)。リンク輻輳情報を通知された入力回線対応部IN<sub>i</sub>のヘッダ変換回路2は図7の輻輳管理テーブルにリンク輻輳情報をセットする(S6)。

【0036】このようにして全ての入力回線対応部IN<sub>i</sub>が共通の輻輳情報を持つ輻輳管理テーブルを持つことになる。その後、入力回線対応部IN<sub>i</sub>に新しいセルが到着するとヘッダ変換回路2はヘッダ変換前に当該セルのサービスカテゴリを判定し、当該セルのサービスカテゴリがベストエフォート型で、ルーティング情報より輻輳に陥っているリンクを目指す場合にはEOP判定回路1を動作させる。このときEOP判定回路1は同時に図8のセルのパケット管理テーブルを検索し、このセルが転送中のパケットを構成するセルなのか未転送のパケットを構成するセルなのかをVC毎に判断し、未転送のパケットを構成するセルならパケット先頭セルと判断し、パケットを最後尾であるAAL5のEOPセルが到着するまでセルを廃棄する。この廃棄手順は輻輳が解消されるまで繰り返し行われる。このようにして各入力回線対応部IN<sub>i</sub>が輻輳リンクを目指すベストエフォート型セルに対してEPD制御するのでリンクの輻輳が回避される(S7)。

【0037】リンク輻輳が回避されるとそのリンクにつながるコアスイッチCのバッファ3のキュー長が減るのでそのキュー長を監視するモニタM1がバッファ3のキュー長が閾値 $\beta$ 以下になるのを検出すると輻輳制御解除

と判断し(S8)、バッファ3の先頭にあるセルのセルヘッダのリンク情報フィールドにリンク輻輳解除番号をセットし後段の単位スイッチSW<sub>j</sub>に送出する(S9)。輻輳ビット判定回路7がこの輻輳解除信号を検出すると(S10)、逆方向RMセル生成回路8がRMセルにリンク輻輳解除番号を乗せて各入力回線対応部IN<sub>i</sub>に送出する(S11)。RMセルを受信した各入力回線対応部IN<sub>i</sub>が輻輳管理テーブルのリンク輻輳フィールドを解除することにより(S12)、以後、入力回線対応部IN<sub>i</sub>に到着した当該リンク宛のセルに対してEPD制御が解除される。

【0038】次に、本発明第一実施例のATMスイッチの単位スイッチSW<sub>i</sub>の帯域保証クラス川のバッファ6とベストエフォートクラス川のバッファ5における輻輳制御について説明する。図9は単位スイッチSW<sub>i</sub>のバッファ5および6における輻輳制御のフローを示す図である。ある特定の出力回線を目指すベストエフォート型セルが増加するとその出力回線が輻輳しその前段に置かれたバッファ5のキュー長が伸びる(S21)。キュー長があらかじめ設定された閾値 $\alpha$ 以上に伸びるとそれを監視するモニタM2は当該出力回線が輻輳に陥ったと判断し(S22)、バッファ5または6の先頭にあるセルのセルヘッダ領域の出力回線輻輳フィールドに輻輳をセットして出力回線対応部OUT<sub>j</sub>に送出する(S23)。

【0039】出力回線対応部OUT<sub>j</sub>の輻輳ビット判定回路7でそのセルを受信することによりバッファ5の輻輳が検出されると(S24)、逆方向RMセル生成回路8によりRMセルを生成しRMセルの出力ポート情報フィールドに輻輳に陥っている出力回線番号情報を書込み、逆方向の回線に載せて全ての入力側回線対応部IN<sub>i</sub>に当該出力回線輻輳を送出する(S25)。

【0040】各入力側回線対応部IN<sub>i</sub>でこのRMセルを受信するとヘッダ変換回路2で輻輳管理テーブルのVPI/VC値に対応した回線情報フィールドに輻輳ビットをセットする(S26)。その後、入力側回線対応部IN<sub>i</sub>に新しいセルが到着するとヘッダ変換回路2がセルヘッダ変換時にVPI/VC変換と同時にルーティング情報を見るときにこのセルがベストエフォート型のセルで輻輳に陥っている出力ポートを目指す場合にはEOP判定回路1を動作させる。このときEOP判定回路1はセルのパケット情報テーブルを検索し、このセルが転送中のパケットを構成するセルなのか未転送のパケットを構成するセルなのかをVC毎に判断し、未転送のパケットを構成するセルならパケットの先頭セルと判断し、このパケットを構成するAAL5のEOPセルが到着するまでセルを廃棄する。この廃棄手順は輻輳が解消されるまで繰り返し行われる。こうして各入力回線対応部IN<sub>i</sub>が輻輳出力回線を目指すベストエフォート型セルに対してEPD制御するので輻輳が回避される(S2

7)。

【0041】輻輳が回避されるとそのバッファ5のキュー長が減るのでそのキュー長を監視する単位スイッチ・モニタM2がバッファ5のキュー長が閾値 $\beta$ 以下になるのを検出すると輻輳制御解除ポイントと判断し(S28)、バッファ5または6の先頭にあるセルのセルヘッダの出力ポート情報フィールドをセットし出力回線対応部OUT<sub>i</sub>に送出する(S29)。輻輳ビット判定回路7では、輻輳解除信号を検出すると(S30)、逆方向RMセル生成回路8がRMセルに出力回線輻輳解除番号を乗せて各入力回線対応部IN<sub>i</sub>に向けて送出する(S31)。RMセルを受信した各入力回線対応部IN<sub>i</sub>は輻輳管理テーブルの出力回線輻輳フィールドをリセットする。これにより以後、入力回線対応部IN<sub>i</sub>に到着したセルに対してEPD制御が解除されることになる(S32)。

【0042】ただし、コアスイッチCのバッファ3とそれにリンクされる出力段の単位スイッチSW<sub>i</sub>のバッファ5の両方で輻輳が起きている場合には入力回線対応部IN<sub>i</sub>にリンク輻輳情報と出力回線輻輳情報の二つが通知され、ヘッダ変換回路2が持つ輻輳管理テーブルにはリンク輻輳ビットと出力回線輻輳ビットがセットされるが、この場合、EOP判定回路1の制御手順は輻輳ビットが立っている出力回線宛のベストエフォート型セルに対してEPD制御を行ってから輻輳リンク宛のセルに対してEPD制御されるようになっている。

【0043】(第二実施例)本発明第二実施例のATMスイッチを図10および図11を参照して説明する。図10は本発明第二実施例のATMスイッチの全体構成図である。図11は本発明第二実施例の輻輳管理テーブルを示す図である。本発明第二実施例のATMスイッチのスイッチング動作は、本発明第一実施例と同様なので説明は省略する。本発明第二実施例では、図10に示すように、コアスイッチCと出力段の単位スイッチSW<sub>i</sub>間のリンクでは、ほとんどセル損失が起きないことを前提にしてコアスイッチCのバッファ3のモニタM1と輻輳ビット付与回路4をコアスイッチCから省き、図11に示すように、入力回線対応部IN<sub>i</sub>の輻輳管理テーブルにリンク輻輳フィールドを設けないATMスイッチを構成し、輻輳制御手順は本発明第一実施例においてリンク輻輳制御手順を除いた一連の操作と同様になる。

【0044】(第三実施例)本発明第三実施例のATMスイッチを図12を参照して説明する。図12は本発明第三実施例のATMスイッチの全体構成図である。本発明第三実施例のATMスイッチのスイッチング動作は、本発明第一実施例と同様なので説明は省略する。本発明第三実施例のATMスイッチでは、本発明第一実施例と同様の手順にしたがうがコアスイッチCのバッファ3と単位スイッチSW<sub>i</sub>のベストエフォートクラス用のバッファ5の輻輳情報をセルに依らず、コアスイッチCのバ

ッファ3のコアスイッチ・モニタM1と単位スイッチSW<sub>i</sub>のバッファ5の単位スイッチ・モニタM2を出力回線対応部OUT<sub>i</sub>の逆方向RMセル生成回路8に信号線で連結し、信号線によって輻輳情報を通知する。

【0045】これにより、本発明第一実施例と比較して配線数は増えるが輻輳ビット付与回路4および14を省くことができるため、装置構成の簡単化を図ることができる。

【0046】(第四実施例)本発明第四実施例のATMスイッチを図13を参照して説明する。図13は本発明第四実施例のATMスイッチの全体構成図である。本発明第四実施例は、本発明第二実施例のようにコアスイッチ・モニタM1を省き、単位スイッチ・モニタM2のみでキュー長監視を行い、さらに、本発明第三実施例のように輻輳ビット付与回路14を省き、単位スイッチ・モニタM2を出力回線対応部OUT<sub>i</sub>の逆方向RMセル生成回路8に信号線で連結し、信号線によって輻輳情報を通知する。

【0047】これにより、本発明第二実施例および本発明第三実施例の利点をそれぞれ採用した構成とすることができる。

【0048】また、モニタM1およびまたはM2の監視結果をRMセルを用いることなく直接入力回路対応部IN<sub>i</sub>に通知する構成とすることもできる。

【0049】

【発明の効果】以上説明したように、本発明によれば、大規模化したコアスイッチに完全優先制御やEPD制御を適用することができる。また、スループットを向上させることができるとともに、帯域保証型のトラヒックとベストエフォート型のトラヒックが混在するATM通信網において帯域保証型トラヒックの帯域を保証することができる。

【0050】すなわち、セル損失がおこる輻輳状態にベストエフォート型トラヒックに対してEPD制御を行うのでパケット落ちによる無効なセル再送による網内の無効トラヒックを軽減できる利点がある。またコアスイッチで必要なのはバッファのキュー長観測によりリンク輻輳情報を付与する手段のみなのでスイッチ規模によらず単純な構成でスイッチを構成できる。また入力回線対応部でのEPD制御はヘッダ変換部に簡単な回路を付与するだけで構成できる利点があり、スイッチ内に流入するベストエフォート型のトラヒックを入力側で制限するので帯域保証型のトラヒックの通信品質を保証できる。

【図面の簡単な説明】

【図1】本発明第一実施例のATMスイッチのブロック構成図。

【図2】ヘッダ変換テーブルを説明するための図。

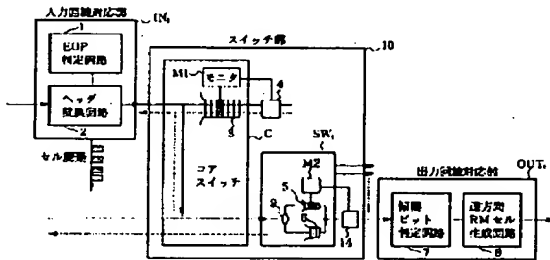
【図3】輻輳ポイントを示す図。

【図4】コアスイッチのバッファでの輻輳制御フローを示す図。

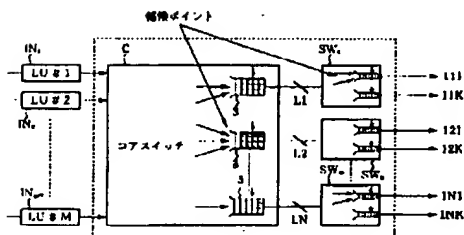
11

- 【図5】スイッチ内セルヘッダ情報の構成を示す図。  
 【図6】RMセルの構成を示す図。  
 【図7】輻輳管理テーブルを示す図。  
 【図8】パケット管理テーブルを示す図。  
 【図9】単位スイッチの帯域保証クラス用バッファおよびベストエフォートクラス用バッファにおける輻輳制御のフローを示す図。  
 【図10】本発明第二実施例のATMスイッチの全体構成図。  
 【図11】本発明第三実施例の輻輳管理テーブルを示す図。  
 【図12】本発明第三実施例のATMスイッチの全体構成図。  
 【図13】本発明第四実施例のATMスイッチの全体構成図。  
 【図14】従来の高速出力バッファ型多段スイッチの構成図。

【図1】



【図3】



12

- 【図15】多段スイッチにおける帯域保証型トラヒックのセル廃棄を示す図。

【符号の説明】

- 1 EOP判定回路  
 2 ヘッダ変換回路  
 3、5、6 バッファ  
 4、14 輻輳ビット付与回路  
 7 輻輳ビット判定回路  
 8 逆方向RMセル生成回路  
 10 スwitch部  
 C コアスイッチ  
 INi 入力回線対応部  
 M1 コアスイッチ・モニタ  
 M2 単位スイッチ・モニタ  
 OUTi 出力回線対応部  
 SWj 単位スイッチ

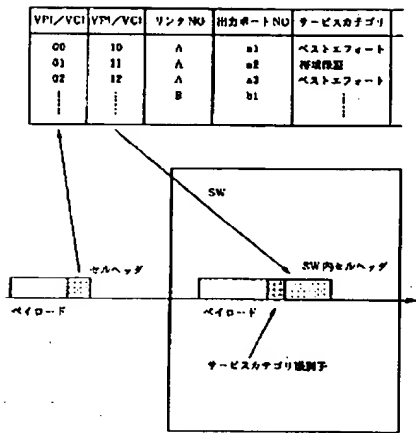
【図8】

VPL/VCI	パケット転送中	強制廃棄中	本番通
11	1	0	0
15	0	1	0
18	0	0	1

1: ON  
 0: OFF



【図2】



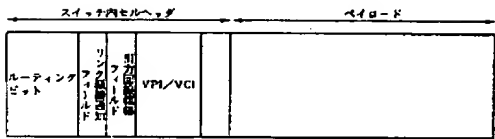
【図7】

VPI/VCI	リンク番号	出力ポート番号

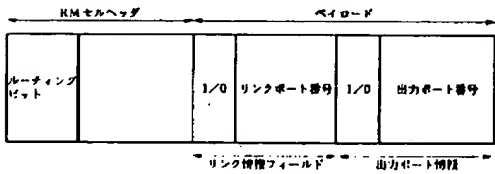
  

リンク番号	1/0	出力ポート番号	1/0
L1	1	111	0
		112	0
L2	0	11k	0
		121	1
		122	0
		12k	1
LN	1	1N1	0
		1N2	0
		1Nk	1

【図5】

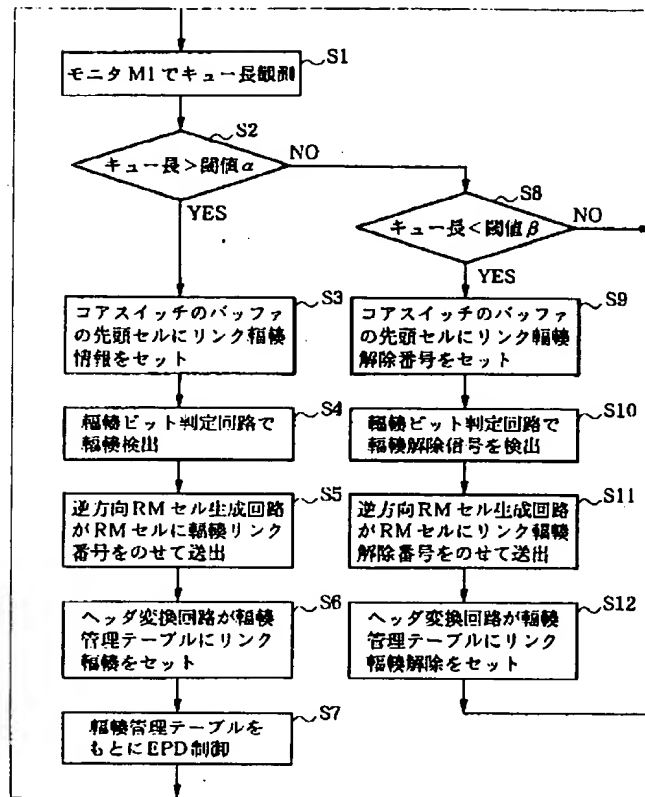


【図6】

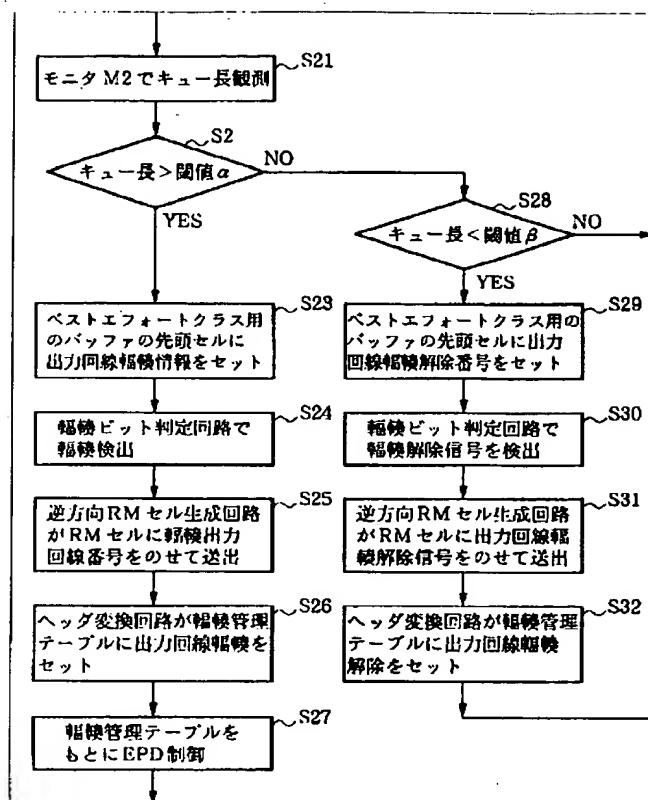


1: 保留セット  
0: 解放セット

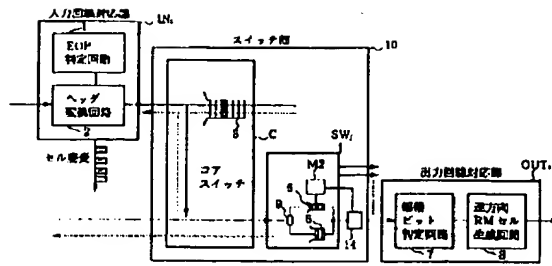
【図4】



〔図9〕



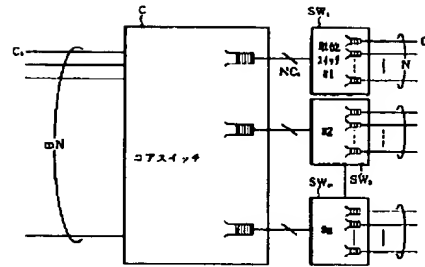
[図10]



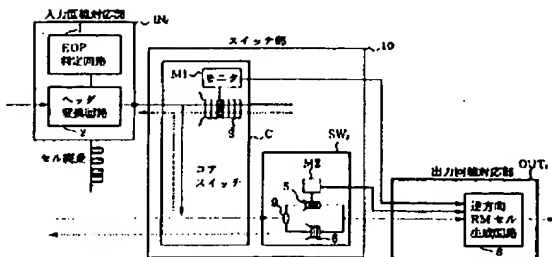
[図11]

VPI/VCI	リンク番号	出力ポート番号
	リンク番号	出力ポート番号
	L1	出力ポート番号 111 112 0 0
	L2	出力ポート番号 11k 121 122 0 1 0
		出力ポート番号 12k 1
		出力ポート番号 1N1 1N2 0 0
	LN	出力ポート番号 1Nk 1

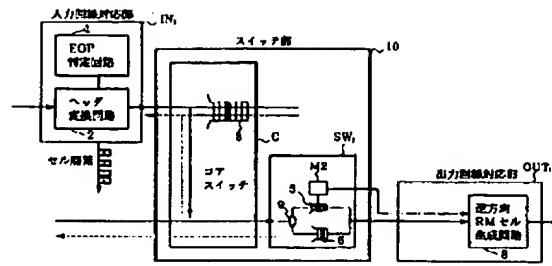
[図14]



[図12]



〔図13〕



〔図15〕

